|  |  |
| --- | --- |
| **Gerb-BMSTU_01** | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (ИУ7)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04** **ПРОГРАММНАЯ ИНЖЕНЕРИЯ**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 4 |

**Название:**

Исследование мультиплексоров.

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-45Б |  |  | А.П. Бугаенко |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | Ю.А.Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

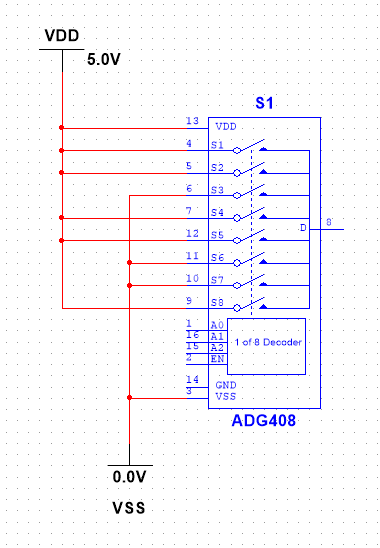
**Цель работы –** изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

Задание №1. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 цифровых сигналов.

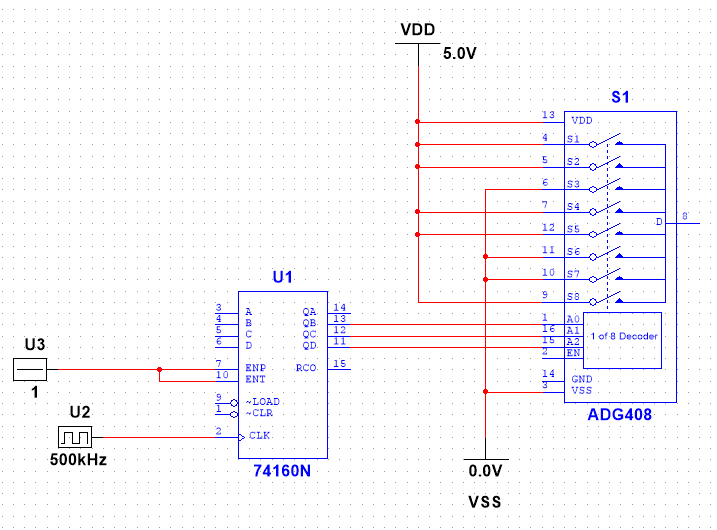
a) на информационные входы D0 …D7 мультиплексора подать комбинацию сигналов, заданную преподавателем. Логические уровни 0 и 1 задавать источниками напряжения U=5 В и 0 В (общая).

|  |  |  |
| --- | --- | --- |
| Вариант | Входы D0 … D7 | Логическая функция |
| 4 | 1 1 0 1 1 0 0 1 | 3, 6, 7, 8, 11, 12, 13, 15 |

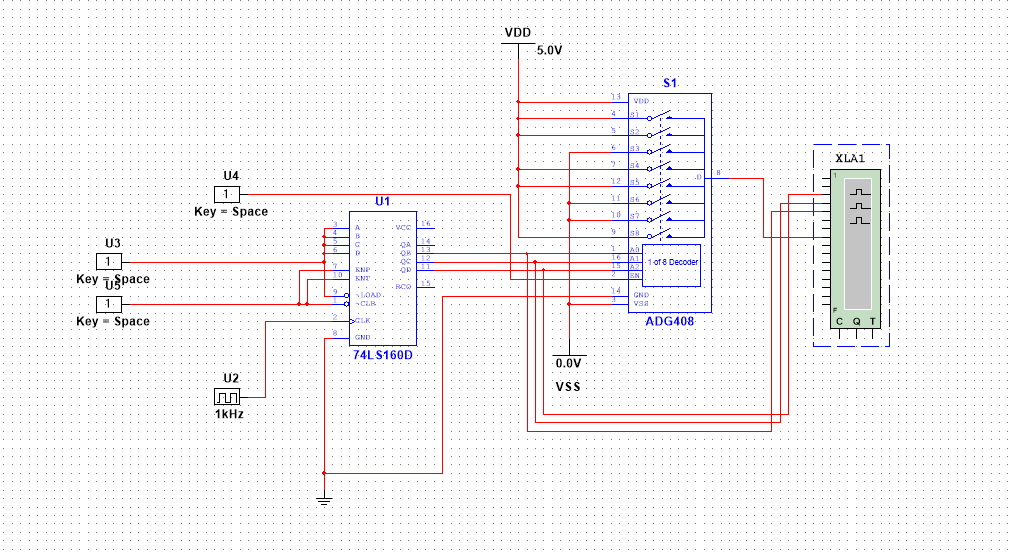
*Таблица 1. Комбинация сигналов по варианту.*

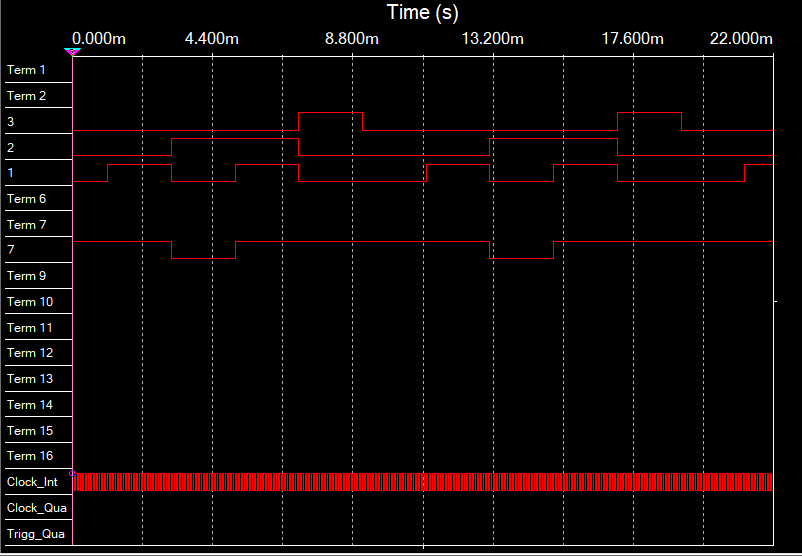
*Рис 1. Подача информационных сигналов на входы D0-D7 (S1-S8)*

б) на адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно c выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

*Рис 2. Подключение счётчика с генератором.*

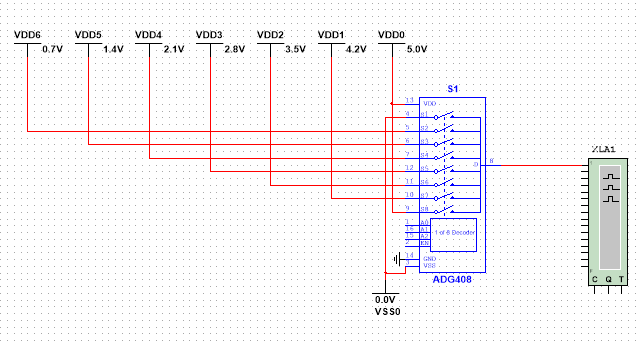
в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

*Рис 3. Схема с подключенным счётчиком и логическим анализатором.*

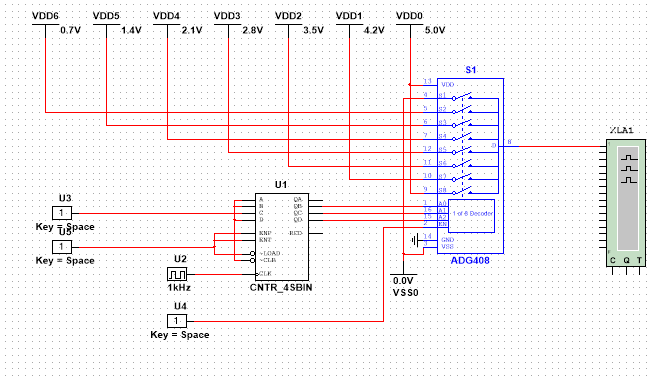
*Рис 4. Результаты логического анализа.*

Задание №2. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

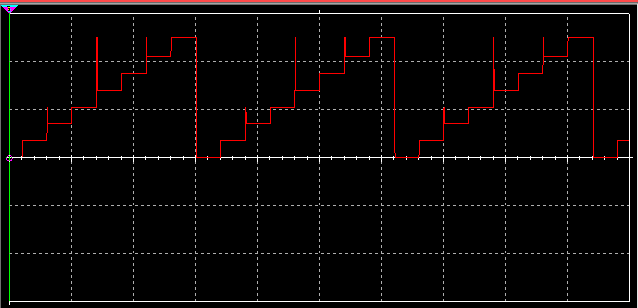
a) на информационные входы D0 …D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Мultisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

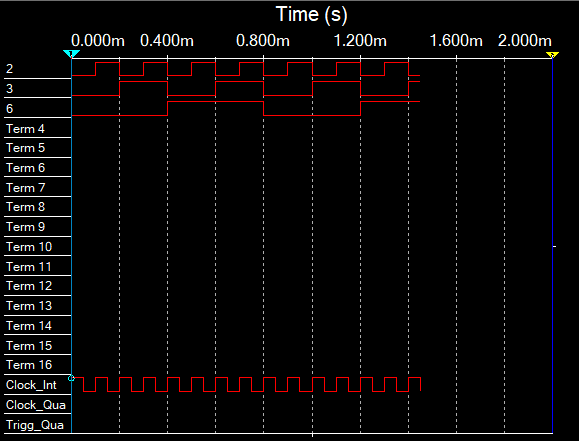
*Рис 5. Подключение источников напряжения.*

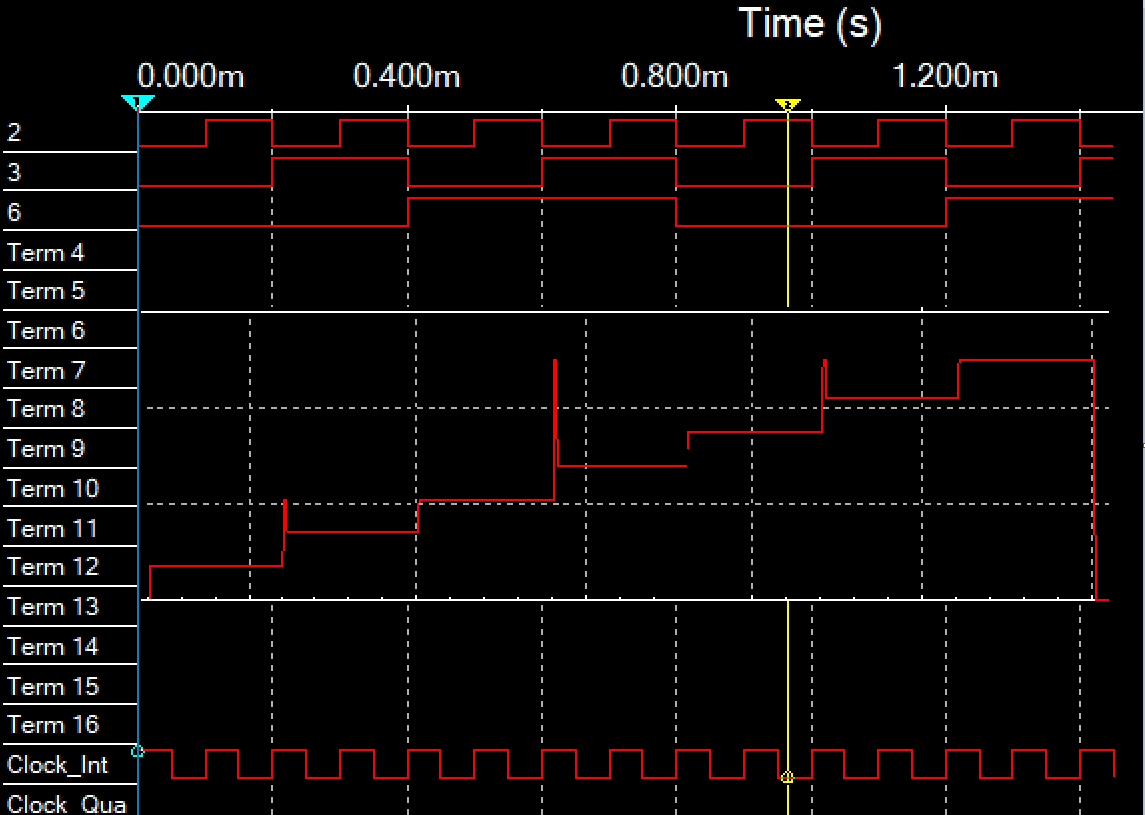
б) на адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно c выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

*Рис 6. Подключение счётчика.*

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

*Рис 7. Результаты анализа осциллографа.*

*Рис 8. Результат работы логического анализатора.*

*Рис 9. Наложение результатов замеров.*

Задание №3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных.

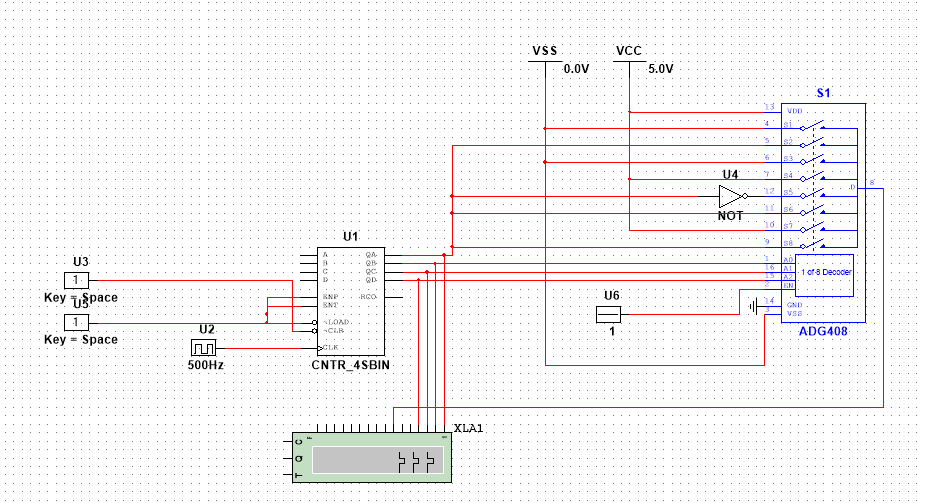
Данные берём из таблицы 1:

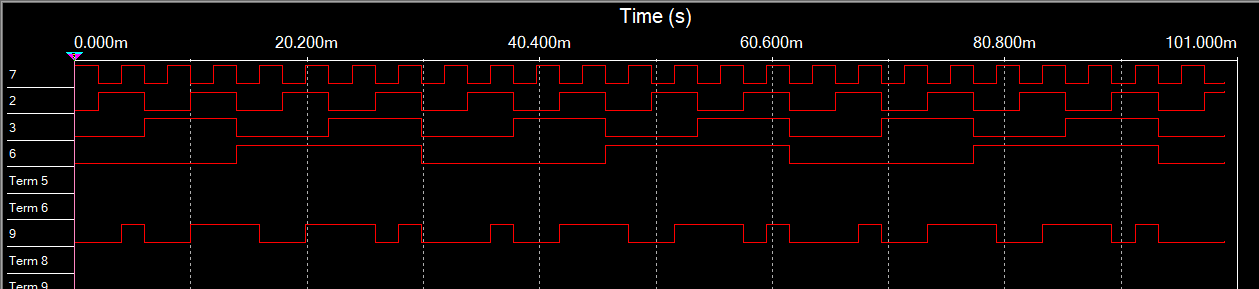
3, 6, 7, 8, 11, 12, 13, 15.

Сформируем на их основе таблицу:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| № набора | X4 | X3 | X2 | X1 | f | Di |
| 0 | 0 | 0 | 0 | 0 | 0 | D0 = 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | D1 = X1 |
| 3 | 0 | 0 | 1 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 | 0 | D2 = 0 |
| 5 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 1 | D3 = 1 |
| 7 | 0 | 1 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 | 1 | D4 = ~X1 |
| 9 | 1 | 0 | 0 | 1 | 0 |
| 10 | 1 | 0 | 1 | 0 | 0 | D5 = X1 |
| 11 | 1 | 0 | 1 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | 1 | D6 = 1 |
| 13 | 1 | 1 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 0 | D7 = X1 |
| 15 | 1 | 1 | 1 | 1 | 1 |

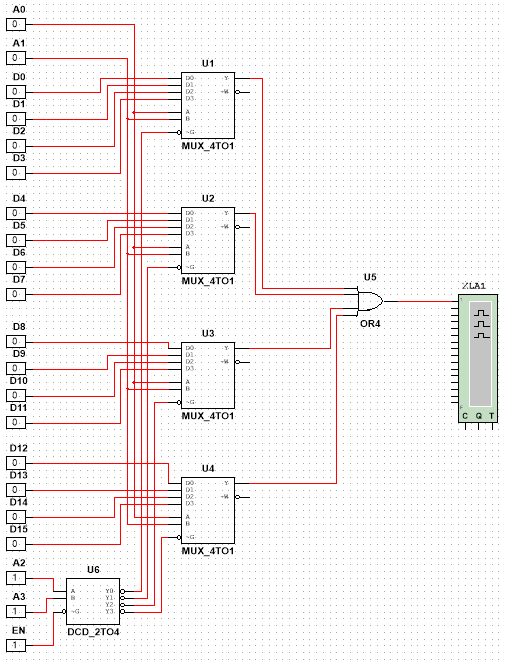
*Таблица 2. Таблица входов для реализации ФАЛ.*

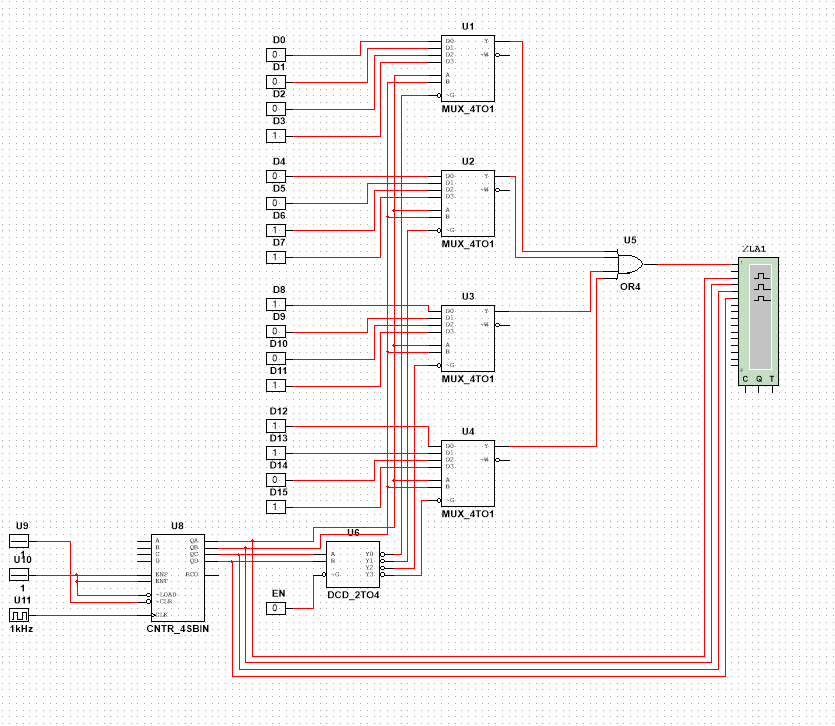
*Рис 10. Схема реализации коммутатора MUX 8-1 аналоговых сигналов с помощью мультиплексора.*

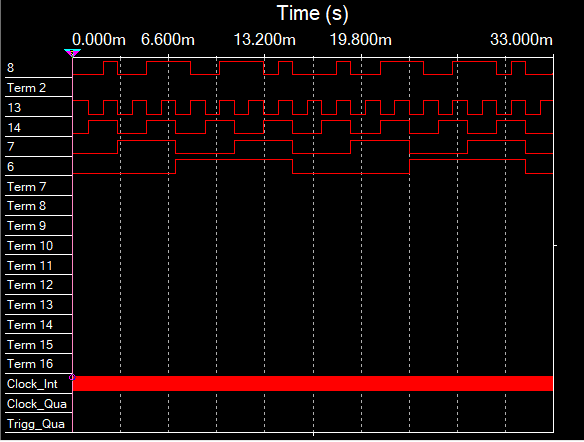
*Рис 11. Результаты работы .*

Задание №4. Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4. Исследовать мультиплексор MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 …D15. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

Набор значений из варианта: 0 0 0 1 0 0 1 1 1 0 0 1 1 1 0 1

*Рис 12. Схема 16-1 MUX на 4-1 MUX.*

*Рис 13. Схема с подключенным генератором и счётчиком.*

*Рис 14. Результаты работы MUX 16-1.*

Как мы можем увидеть на рисунке выше, выход построенного нами анализатора совпадает с заданными нами значениями.

Вывод:

При выполнении данной лабораторной работы мы исследовали устройство под названием мультиплексор. Было практически показано, что оно позволяет преобразовывать n-ное количество сигналов на входе в один сигнал на выходе. Данное свойство позволяет использовать мультиплексоры для преобразования параллельного двоичного кода в последовательный.